

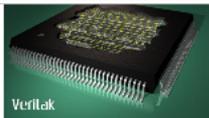


菅原システムズ代表 菅原孝幸 経歴

- 1982 : 新潟大学工学部電子工学科卒業
パナファコム(現PFU)、アルプス電気(株)にて、ディスクドライブ、無線通信機器の開発に従事。
設計したLSIは、累計数で1000万個以上。
- 2004 : 国産初(~唯一の)ハードウェアデザイン言語シミュレータVeritakを発売
~現在まで世界中でロングランヒット
- 2004 : LSIデザインコンテスト 努力賞
- 2006 : LSIデザインコンテスト 第3位
トランジスタ技術(技術雑誌) HDL設計技術講座連載
- 2014 : スケジュールナーズ発売
- 2015 : NurseSchedulingCompetition II 8位
- 2017 : マルマンコンピュータ(株)とライセンス契約締結
(スケジューリングソルバScNurseの提供)
- 国際MaxSAT競技会2017 4部門の内、金3個、銅1個を獲得 1

サイト・連載記事

Veritak Verilog HDL Simulator



Veritak Webサイト

トランジスタ 技術連載

What's Veritak?

Top

Snapshot

Tutorial

Open Sources

F.A.Q.s

Purchase

Support

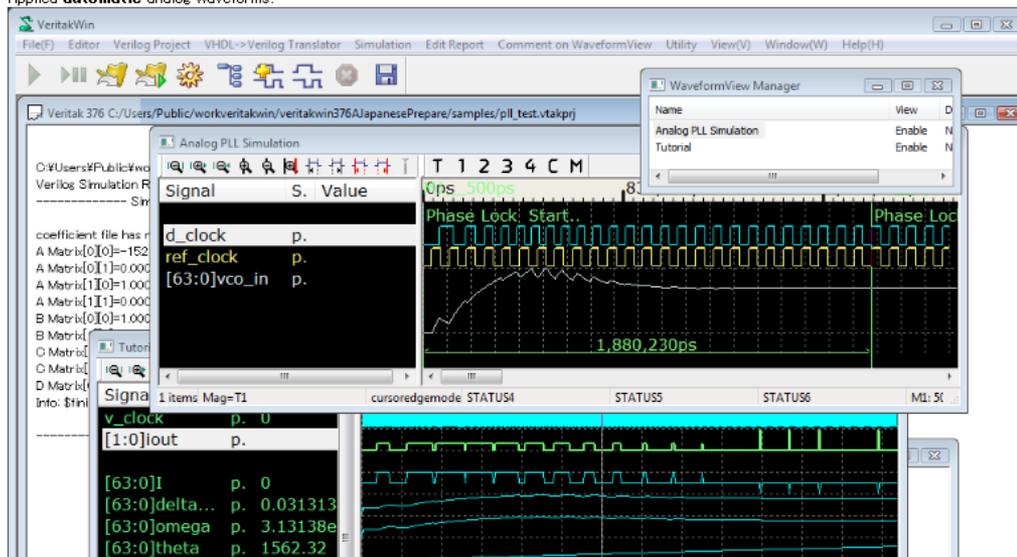
Download

Veritak is a Verilog HDL Compiler/Simulator that supports the major Verilog 2001 HDL features. It provides an integrated environment, which includes a VHDL to Verilog translator, a syntax highlighting editor (called **Veripad**), a class hierarchy viewer, a multiple-waveform viewer capable of handling a **gigabyte** vcd files, source analyzer, and more -- it is available for Windows XP/2000/2003/Vista32/Vista64/Windows7 32bit/64bit.

If you are looking for a **fast** Verilog HDL simulator with a full-function GUI for professional use, while maintaining an extremely low price, this is it. You can try **Veritak** at no cost for two weeks.

See our [Benchmark Results](#) for **Veritak** performance details. (Benchmarking performed with an Athlon 3800+ Dual including [Verilator's](#) Verilog Simulator Benchmarks.)

Screen snapshot below from our new 3.84F
Applied **automatic** analog waveforms.



狙い通りの機能を実現するために ロジック回路設計の手ほどき

菅原 孝幸
Takashi Sugawara

第3回 HDL シミュレータを動かしてみる

今回は、付録 CD-ROM に収録されている HDL シミュレータ [Veritak CQ 版] を動かしてみます。HDL シミュレータを動かすには、どのような作業が必要なのか、シミュレーションの結果はどのようなのか、CD-ROM に収録した HDL 記述を試してみます。

HDL シミュレータの出入力

- シミュレータへの入力には HDL で記述されたテキスト・ファイル
シミュレータに入力するのは、HDL で記述されたテキスト・ファイルです。これを HDL ソース、またはソース・ファイルと呼びます。
Verilog HDL の場合、HDL ソースの拡張子は .v が使われますが、中身はテキスト・ファイルです。そのままテキスト・エディタで開くことができます。
HDL 記述のものにハードウェア記述とテスト・ベンチの区別はありませんが、この二つが混ざってしまうと、あとで論理合成するときに困ります。複雑な記述になるときは、ハードウェア記述とテスト・ベンチを別のファイルで記述するのが一般です。
- シミュレータの出力方法は 4 通り
ハードウェア記述によって表現された仮想的なハー

ドウェアに対して、信号を与えたり、信号を受け取ったりする仮想的な存在がテスト・ベンチです。テスト・ベンチ内には OK/NG の判断を含むように記述するのが理想です。

ハードウェアの動作を検証するには、ハードウェア記述とテスト・ベンチとの間の信号のやりとり (インターフェース) やハードウェア内部での信号変化を、なんらかの形で観察する必要があります。信号を確認する方法は次の四つに分類できます (図 3-1)。

- ① 画面に波形を表示させる
 - ② ファイルに波形を書き出させる
 - ③ 画面にテキストを表示させる
 - ④ ファイルにテキストを書き出させる
- 特にアバックの際は、任意の内部の信号を観測したくなります。信号は時刻とともに刻々と変化するので、通常は波形として観測したいことが多いでしょう。

- 画面で波形を確認する方法
ModelSim やこれらを使う Veritak などの HDL シミュレータでは、GUI (Graphical User Interface) が備わっています。GUI とは、簡単にいえばマウスを使って操作ができる機能のことです。
これらのシミュレータでは、GUI 上でのクリック操

Keyword 1

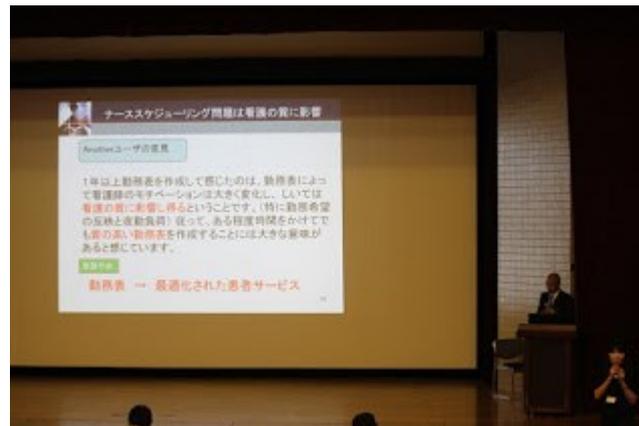
テキスト・エディタ/コンソール

- テキスト・エディタ
文字だけのファイル (テキスト・ファイル) を作成/編集するためのアプリケーション・ソフトウェアです。Windows に付属する「メモ帳」もテキスト・エディタの一つです。
特に「エディタ」と言った場合、テキスト・エディタを

ウィンドウのことを指します。DOS 系、コマンド・ライン、DOS プロンプトなど、さまざまな呼びかたがされています。要は、GUI を使わないテキスト・ベースでの出力確認のことを言います。
特にテキストを出力する画面のことをコンソールと言う場合もあります。GUI をもっている ModelSim や Veritak は、独自のコンソールもっています。

論文・著作

- ロジック回路設計の手ほどき トランジスタ技術 2006-5~2006-10
- Proceedings of the 29-th RAMP Symposium
SATソルバーを用いたナーススケジューリング問題の解法
第29回RAMP(数理計画研究部会)シンポジウム論文集 P57-72 2017
- Takayuki Sugawara MaxRoster: Solver Description
[MaxSAT Evaluation 2017 Solver and Benchmark Descriptions p12](#)



日本オペレーションズ・リサーチ学会
数理計画研究部会
筑波大での講演



保有特許 ・ 商標

- 特許5807978 プログラム
- 特許5807980 スケジューリング装置
- 特許6364638 プログラム、制約充足問題解決装置、制約充足問題解決方法
- 特許7169494 プログラム
- 登録番号 第6055977号 インテリナビ



所属学会

一般社団法人 人工知能学会 正会員



保有技術

- ・ 言語処理・コンパイラ (Verilog)
- ・ LSI/FPGA設計
- ・ デジタルプロセッシング (現代制御理論・誤り訂正・符号理論 (ECC))
- ・ ナーススケジューリング・組み合わせ最適化 (MaxSAT/MIP)
- ・ 言語 (C++, C#, Javascript, Python)
- ・ TOEIC 730

以上